Manual de Treinamento

DD PLUS

ANÁLISE DE CIRCUITOS

gradiente

gradiente

DD PLUS

ANÁLISE DE CIRCUITOS

Essa é mais uma apostila de treinamento desenvolvida pelo setor de TREINAMENTO TÉCNICO, que tem como principal meta manter nossos postos autorizados sempre com informações atualizadas.

Alertamos que é proibida a reprodução total ou parcial desse material, os infratores sofrerão todas as consequências previstas por LEI.

DIVISÃO NACIONAL DE SERVIÇOS
DEPTº. TEC/REDE

gradiente

ÍNDICE

EXPERT PLUS.....01
DESCRIÇÃO DE FUNCIONAMENTO.....02
RESET.....02
CLOCK.....03
ORGANIZAÇÃO DE MEMÓRIA NO EXPERT.....03
ACESSO DE MEMÓRIA ROM.....06
ACESSO DE MEMÓRIA RAM.....06
SLOTS EXTERNOS.....07
IMPRESSORA.....08
VíDEO.....09
JOYSTICKS.....10
TECLADO.....11
FONTE +12V.....13
FONTE -12V.....13
FONTE +5V.....13
CHAVEAMENTO DE TENSÕES PELAS ENTRADAS DE CARTUCHOS.....15
PROTEÇÃO CONTRA CURTO-CIRCUíTO NA FONTE + 5.....15
CIRCUíTO DE ÁUDIO.....16
SINCRONISMO.....17
ARMAZENAMENTO DE DADOS EM FITA CASSETE.....18
ARMAZENAMENTO DE DADOS EM DISCOS FLEXIVEIS.....19
INTERFACE CONTROLADORA DE DISCO.....20
CIRCUITO INTEGRADO TMS2793.....21
DESCRIÇÃO DE PINAGEM DO CI-TMS 2793.....21
CLOCK DA INTERFACE.....24
RESET DA INTERFACE.....24
HABILITAÇÃO DA INTERFACE.....25
AJUSTES DA INTERFACE.....26

EXPERT PLUS

O Expert é um microcomputador pessoal que utiliza para operação o microprocessador Z80, que apesar de estar integrado ao CI-T7937 (Toshiba), mantém todas as suas características. Trabalhando com um clock de 3,58 MHz, com 256 K bytes de endereçamento direto em 4 slots de 64K bytes,o microcomputador possui 32K bytes de memória ROM onde estão armazenados o interpretador basic,com 64K bytes de memória RAM (memória p/ o usuário) e 16K de memória RAM de vídeo. Através do processador de vídeo interno ao Chip (T7937) pode-se operar em três modos de vídeo:

- modo texto com 24 linhas por 32 ou 40 colunas.
- modo gráfico com 256X192 pontos utilizando 16 cores.

Também interno ao T7937 existe um gerador de som com 3 canais e oito oitavas, que faz o controle de teclado, Joystick, impressora, controle de Slot, entrada e saída de sinal para gravador cassete, sinal este que é quadrado internamente no formato FSK com velocidade de 1200 ou 2400 bauds.

Possui saída para impressora, padrão centronics, dois conectores para expansão externa interligados com todo o barramento do micro, estando disponíveis para cartuchos de softwares aplicativos, jogos, expansões, interfaces, etc.

O expert DD-PLUS ainda possui uma unidade acionadora de disco (Drive) incorporada ao seu painel.

DESCRIÇÃO DE FUNCIONAMENTO

- RESET

A CPU ou qualquer outro sistema lógico necessita de um circuito que forneça o chamado Reset. Este sinal tem função de zerar todas as variáveis do circuito fazendo com que o sistema comece o processamento no inicio de seus arquivos de forma sincronizada.

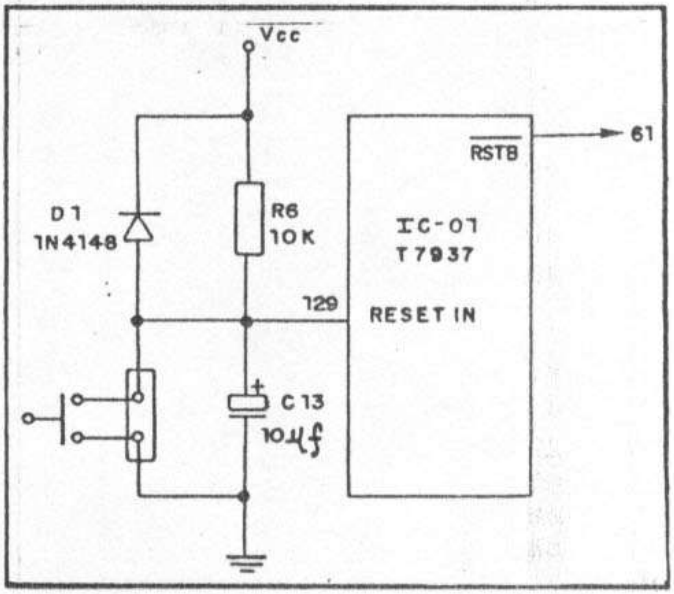
No Expert-Plus sempre que a chave de Reset é pressionada impomos um nivel lógico igual a "zero" no pino Reset In (pino 129) do Chip T7937 (CI- 01), conseguindo desta forma que o contador de programa (registrador PC) assuma o valor 0000H que é a locação inicial do programa monitor na memória, que habilita a Eprom 27256 (CI- 02).

Ao ligarmos a alimentação do micro garantimos nivel lógico "0" no pino 129 do CI-T7937 (RESET IN) devido ao fato do capacitor C-13 estar inicialmente descarregado, comportando-se assim como um curto com terra; quando atingir sua carga total o pino 129 passa para nivél lógico "1", cessando dessa forma o RESET e permitindo assim que o micro entre no estado de operação.

Quando a alimentação do micro é cortada a descarga do capacitor é garantida pelo diodo D1, criando a condição automática de um novo reset.

A chave de RESET encontra-se conectada ao CN-6 e quando pressionada coloca os terminais do capacitor C-13 em curto descarregando-o imediatamente.

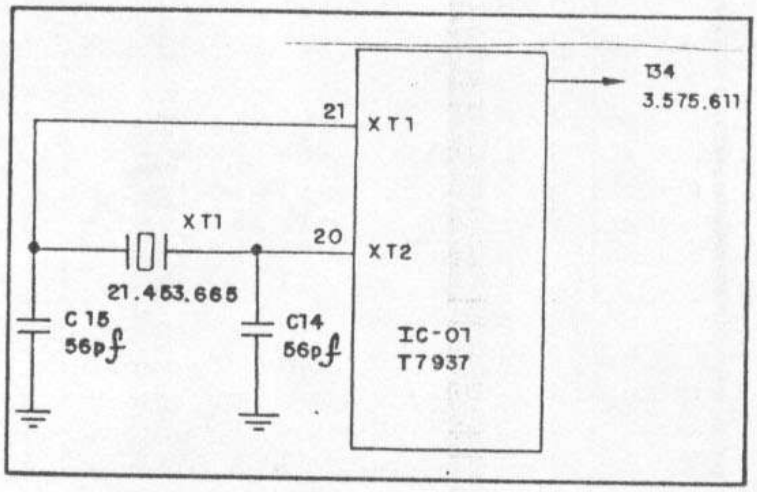
O pino 61 do CI-T7937 é um pino de saída deste sinal, utilizado para sincronismo dos componentes externos.



- CLOCK

Todo microprocessador é um dispositivo dinâmico que necessita de um sinal de relógio para referência denominado CLOCK, sinal este que irá sincronizar seu funcionamento. A cada variação deste sinal teremos mudanças nas variáveis do microprocessador que irão causar a execução de suas instruções.

A geração deste sinal de clock é feita a partir do cristal XT-1 e dos capacitores C14 e C15, que gera a frequência de 21.453.666 HZ.

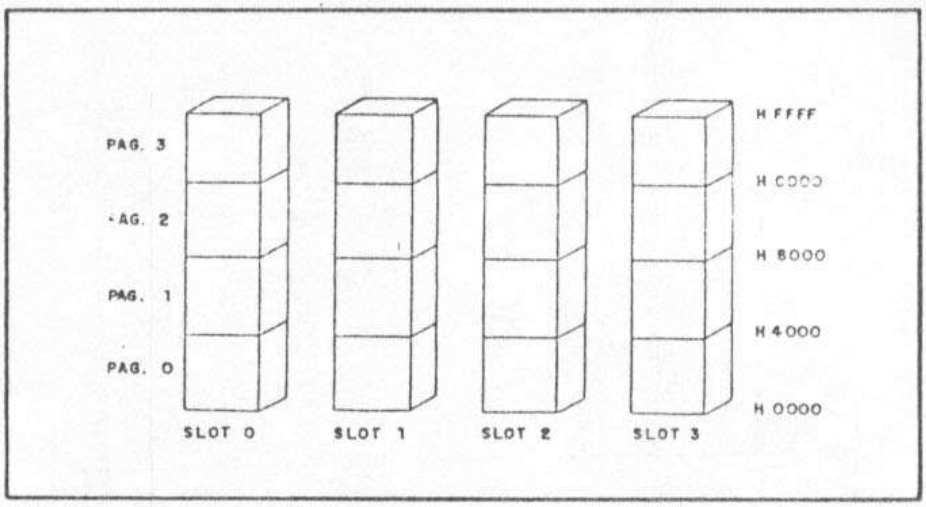


A frequência gerada pelo cristal é dividida por 6 dentro do chip para controle de seus microprocessadores internos, possuindo ainda um pino de saida de Clock (pino 13) que envia o sinal na frequência de 3,575611 MHZ para sincronismo de componentes externos.

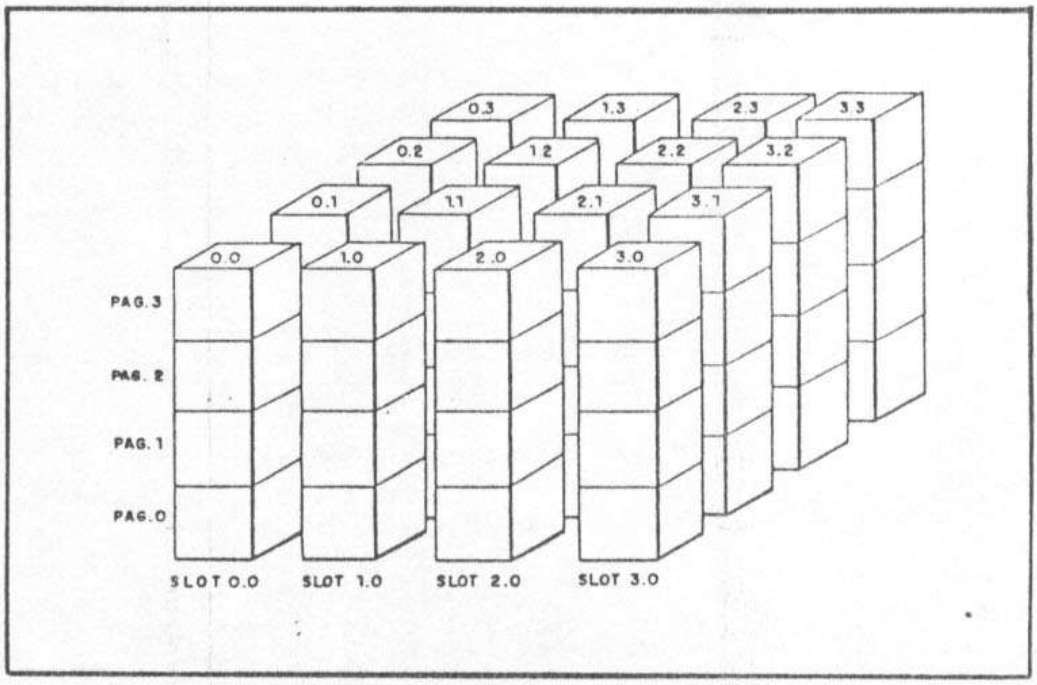
ORGANIZAÇÃO DE MEMÓRIA NO EXPERT

Pelo fato do Expert utilizar o microprocessador Z80, que possui 16 linhas de endereçamento, podemos controlar diretamente 65536 (2E16) posições de memória, ou seja, 64K bytes.

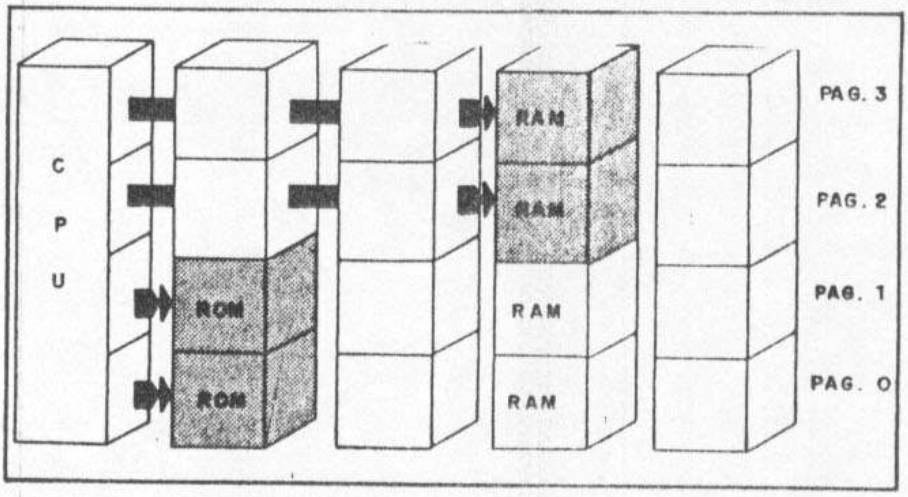
Mesmo nessas condições o Expert possui 32K bytes de ROM e 64K bytes do RAM. Este acesso é possível pois a estrutura da memória do MSX é dividida em 4 blocos de 64K bytes chamados de SLOTS e cada SLOT é dividido em quatro blocos de 16K bytes os quais chamamos de PÁGINAS. Com essa configuração conseguimos operar com até 256K bytes.



Observe que a CPU continua endereçando apenas 64K, por isso, não é possivel utilizarmos simultaneamente duas páginas de mesmo numero em slots diferentes pois possuem o mesmo endereçamento. Por exemplo, a página dois de qualquer slot está entre os endereços 8000 Hex e BFFF Hex.
Através de um sistema de chaveamento, chamado slot select, a CPU escolhe o sub-conjunto de 64K bytes que irá controlar, sendo que durante o processamento pode mudar de sub-conjunto.
Cada slot pode ainda ser expandido em quatro sub-conjuntos, aumentando assim a capacidade para 1 mega byte (capacidade maxima).

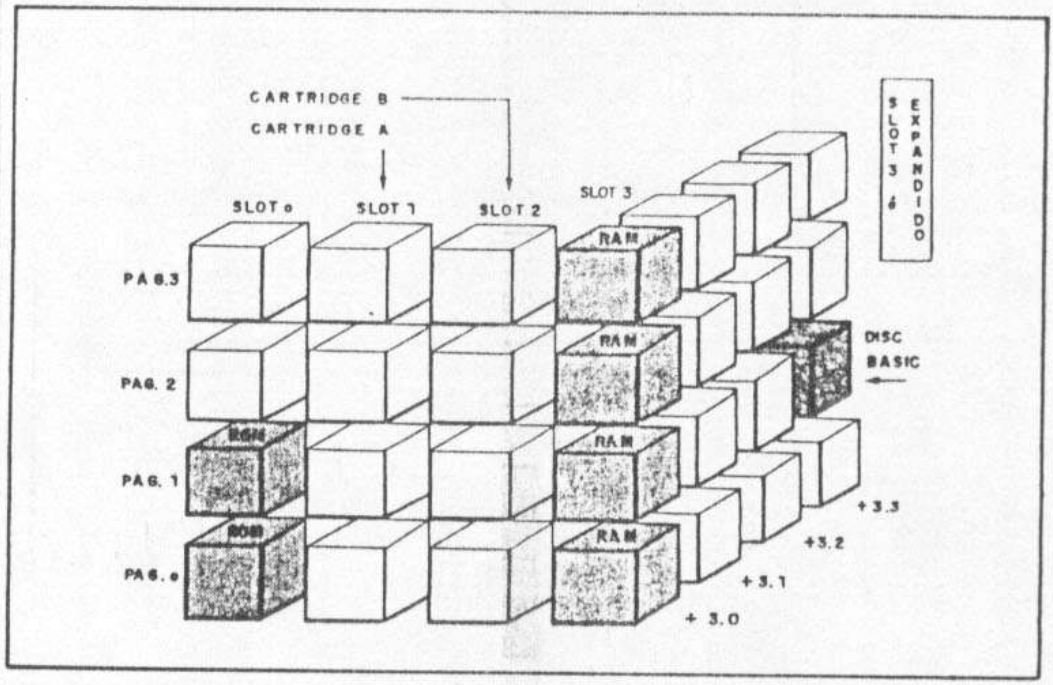


Uma das maiorés diferenças entre o antigo Expert e a linha Plus consiste no fato deste último possuir o slot 3 expandido, onde no slot 3.0, temos a RAM. No modelo Plus, temos no um software de apresentação na página 2 e no modelo DD-Plus, o interpretador Disck-Basic na página 1.

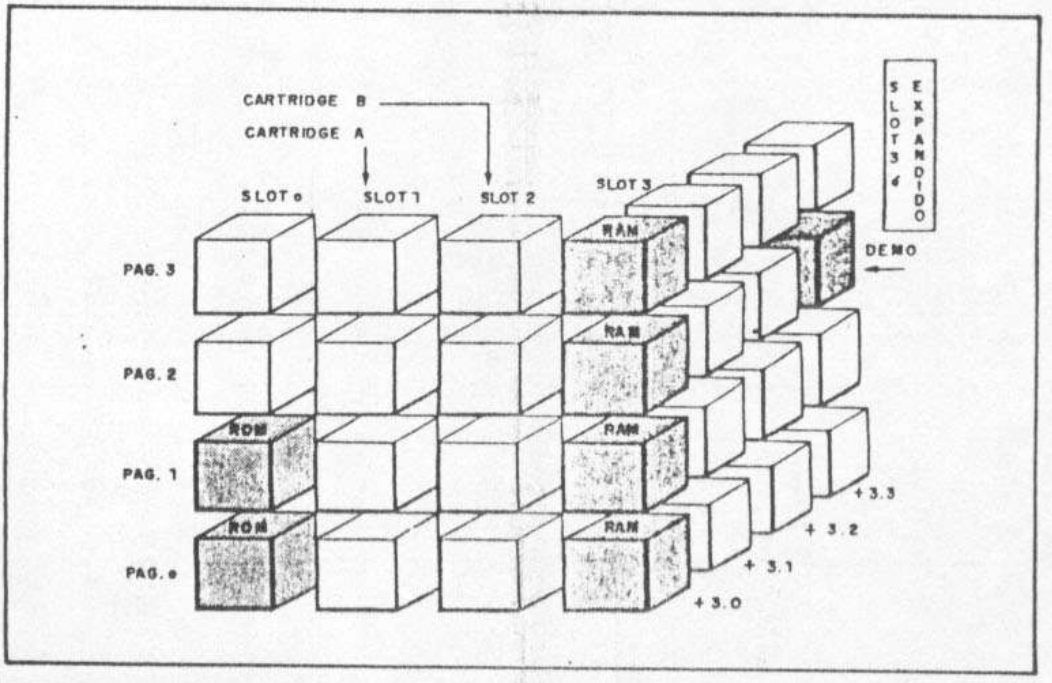


Configuração do antigo Expert.

DD-PLUS



PLUS

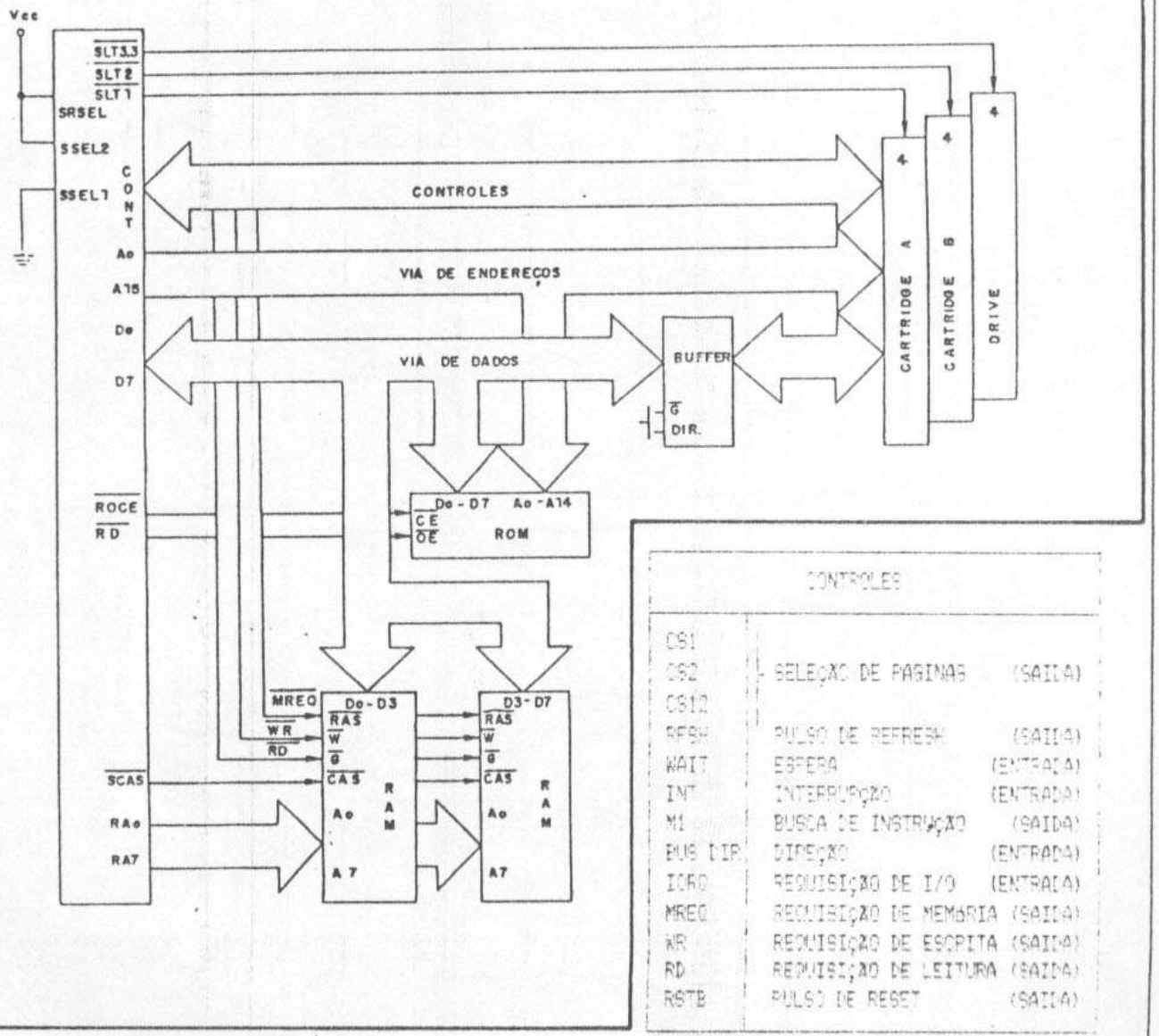


A configuração dos slots mostrada na página anterior é programada a partir dos pinos SRSEL, SSEL1 e SSEL2, pinos estes que estão amarrados às tensões de VCC, TERRA e VCC, respectivamente.

- ACESSO DE MEMÓRIA ROM

O pino $\overline{ROCE}$ seleciona as páginas 0 e 1 do slot 0 onde está localizada a ROM. O endereçamento desta é direto e para leitura dos dados contidos na mesma é necessário que os pinos ROCE e RD estejam em nível lógico 0 simultaneamente.

- ACESSO DE MEMÓRIA RAM

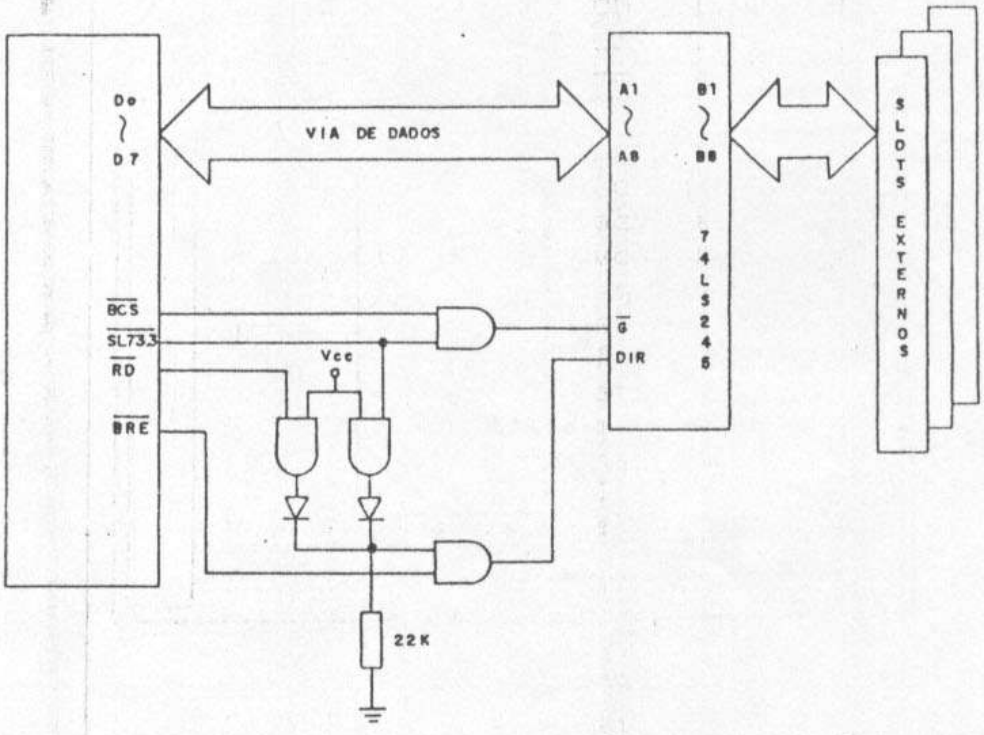


CONTROLES		
CS1 CS2 CS12	SELEÇÃO DE PAGINAS	(SAIDA)
RFSH	PULSO DE REFRESH	(SAIDA)
WAIT	ESPERA	(ENTRADA)
INT	INTERRUPÇÃO	(ENTRADA)
M1	BUSCA DE INSTRUÇÃO	(SAIDA)
BUS DIR	DIREÇÃO	(ENTRADA)
IORQ	REQUISIÇÃO DE I/O	(ENTRADA)
MREQ	REQUISIÇÃO DE MEMÓRIA	(SAIDA)
WR	REQUISIÇÃO DE ESCRITA	(SAIDA)
RD	REQUISIÇÃO DE LEITURA	(SAIDA)
RSTB	PULSO DE RESET	(SAIDA)

Para leitura ou escrita nessas memórias é necessário primeiramente o endereçamento da célula a ser escrita, endereçamento este que é feito em duas fases: na primeira são mandados os 8 bits menos significativos junto ao sinal MREQ do CI-T7937 para o pino RAS da memória, que além de indicar que está sendo enviado o endereço de coluna, faz o refresh automático nas mesmas. Na segunda fase do endereçamento são mandados os oitos bits mais significativos junto com o sinal SCAS do CI-01 para o pino CAS das memórias indicando que está sendo enviado o endereçamento da linha.
Após selecionada qual célula será alterada, para a escrita o pino WR vai a nivel lógico baixo e para leitura o pino RD também é mandado para nivel lógico baixo.

- SLOTS EXTERNOS

Os slots 1,2 e 3.3 são externos. Os slots 1 e 2 são entradas dos cartuchos A e B respectivamente e no slot 3.3 está instalado a interface controladora de disco.



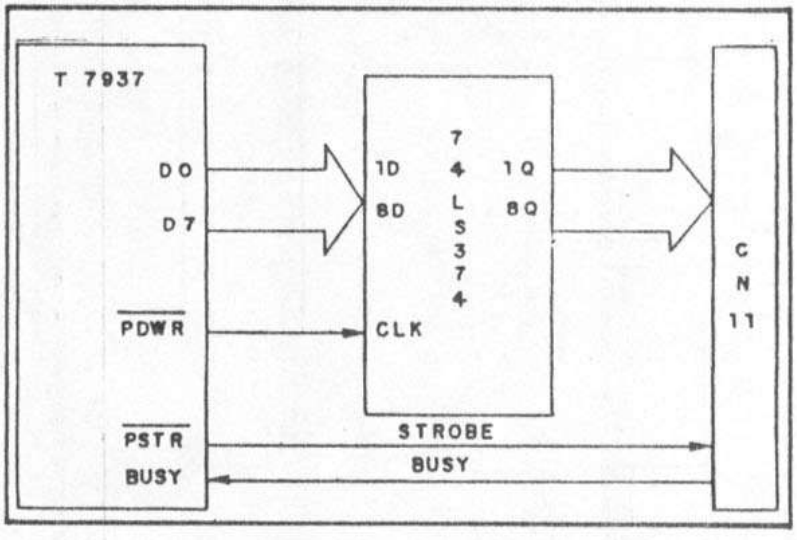
Para que não haja sobrecarga na CPU foi implementado na nova linha um buffer 74LS245 que une o Bus de dados aos conectores. Este Buffer é bidirecional e seu controle de direção é feito pelo circuito mostrado abaixo, comandado pelo pino de entrada BUSDIR.

Os diodos D1 e D2 substituem uma porta OR, ou seja só teremos nível lógico zero na saída quando tivermos nível lógico zero em seus ANODOS simultaneamente.

As placas de nova revisão não possuem o circuito mostrado anteriormente. Nas mesmas,a habilitação do buffer é feito pelo pino BCS e o comando de direção pelo pino BRE (ambos pinos do CI-T7937) isoladamente.

- IMPRESSORA

A impressora é um periférico que tem a finalidade de passar para o papel as informações que estão na memória do Micro.
Como a impressora é um dispositivo eletro-mecânico, sua velocidade é menor que a velocidade de operação do micro.
Para compatibilizar as velocidades e também para a impressão apenas dos dados de interesse do usuário (já que a impressora está ligada na via de dados) é necessário o interfaceamento deste dispositivo.
A interface para impressora do Expert segue o padrão CENTRONICS para comunicação paralela de oito bits, composta por um circuito integrado 74LS374 (CI 10) que possui internamente oito flip-flops tipo D, que servem como latch de memorização dos dados enviados pela CPU.



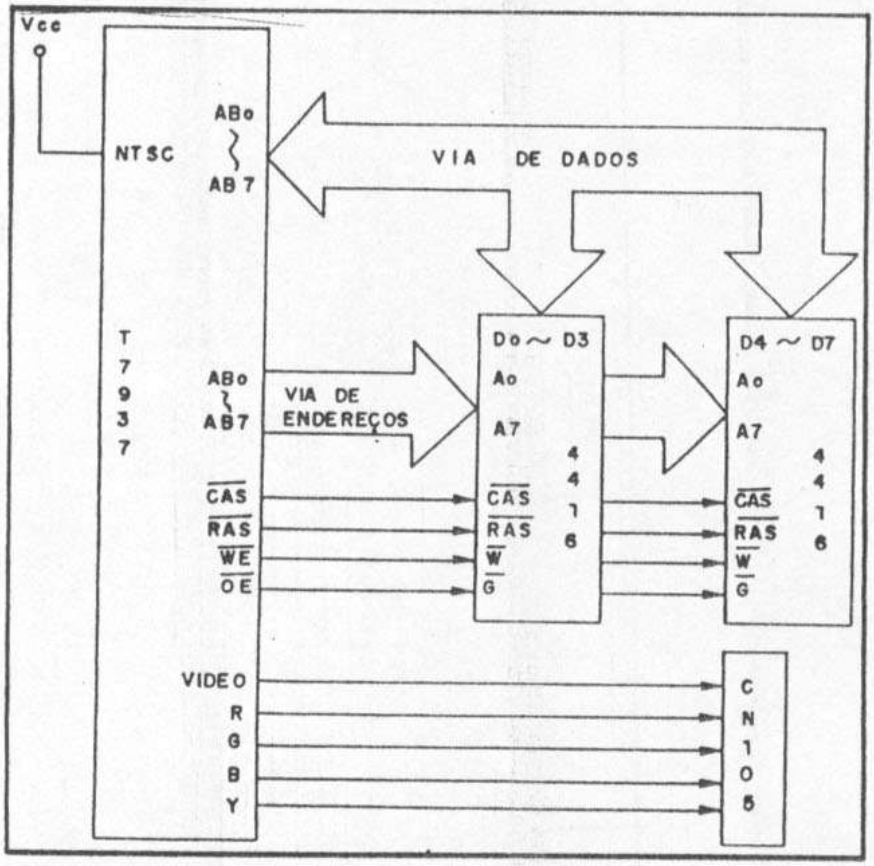
O pino PDWR do chip T7937 gera o clock para a interface, isto é, cada vez que esse pino passa a nível lógico 0 é armazenado um dado no latch. O sinal de STROBE gerado pelo pino PSTR tem a finalidade de indicar à impressora que existe um dado no latch a ser impresso. O sinal de BUZY, enviado pela impressora ao pino BUZY (pino 131) do CI-01, tem a finalidade de indicar ao micro que ela está pronta para receber novos dados (nivel lógico "1") ou está ocupada imprimindo dados já fornecidos (nivel lógico zero).

- VíDEO

O VDP (interno ao CI T7937) é responsável pelo controle do video auxiliado por um banco de 16K bytes de RAM (4416) onde fica armazenado o conteúdo da tela de imagem.

A VRAM (video RAM) é um banco de 16K bytes independentes da memórias acessadas diretamente pela CPU.

O CI T7937 se encarrega de todo acesso e Refresh das memórias.



Todo acesso, leitura e escrita das memórias VRAM, é feita do mesmo modo que as memórias RAM, ou seja de acesso direto da CPU, o que já foi descrito anteriormente.

Segue abaixo uma descrição sucinta das saídas destinadas ao vídeo que o chip T79937 possui:

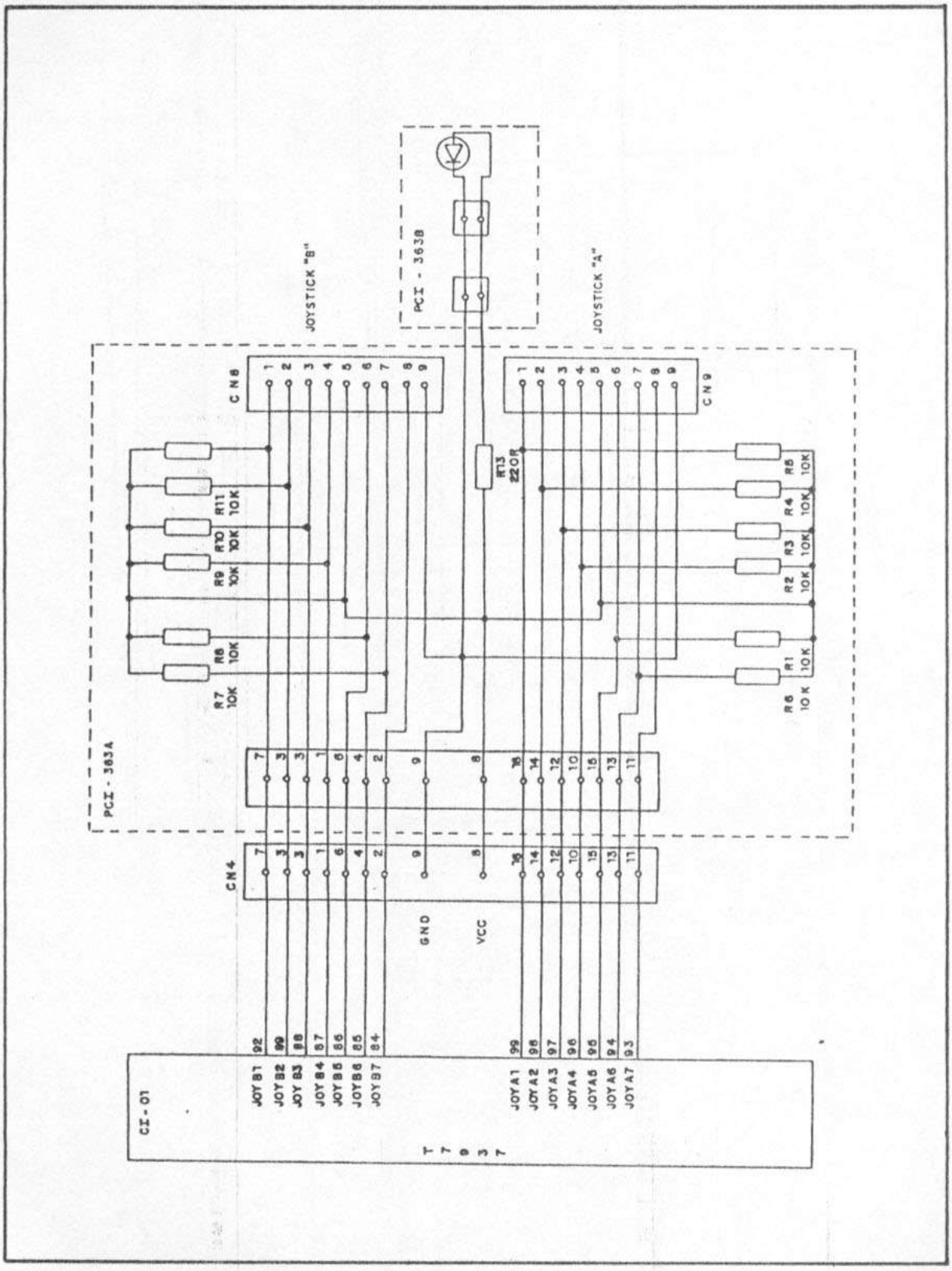
- Vídeo: O sinal composto de vídeo é selecionado para o sistema NTSC (pelo pino NTSC que está amarrado ao nível lógico "1")

- R,G e B: (Red, Green e Blue) são sinais de vídeo destinados a monitores RGB ou composição do sinal colorido.

- Y : sinal de video que corresponde a escala de cinza.

- JOYSTICKS

O chip T7937 possui 14 linhas multiplexadas internamente para leitura dos joysticks.



Na tabela abaixo mostramos o nome de cada uma dessas linhas com suas respectivas funções:

PINOS DE ENTRADA		FUNÇÃO
A	B	
JOYA1	JOYB1	FRENTE
JOYA2	JOYB2	TRAS
JOYA3	JOYB3	ESQUERDA
JOYA4	JOYB4	DIREITA
JOYA5	JOYB5	BOTÃO TIRO 1
JOYA6	JOYB6	BOTÃO TIRO 2
JOYA7	JOYB7	SELEÇÃO A OU B

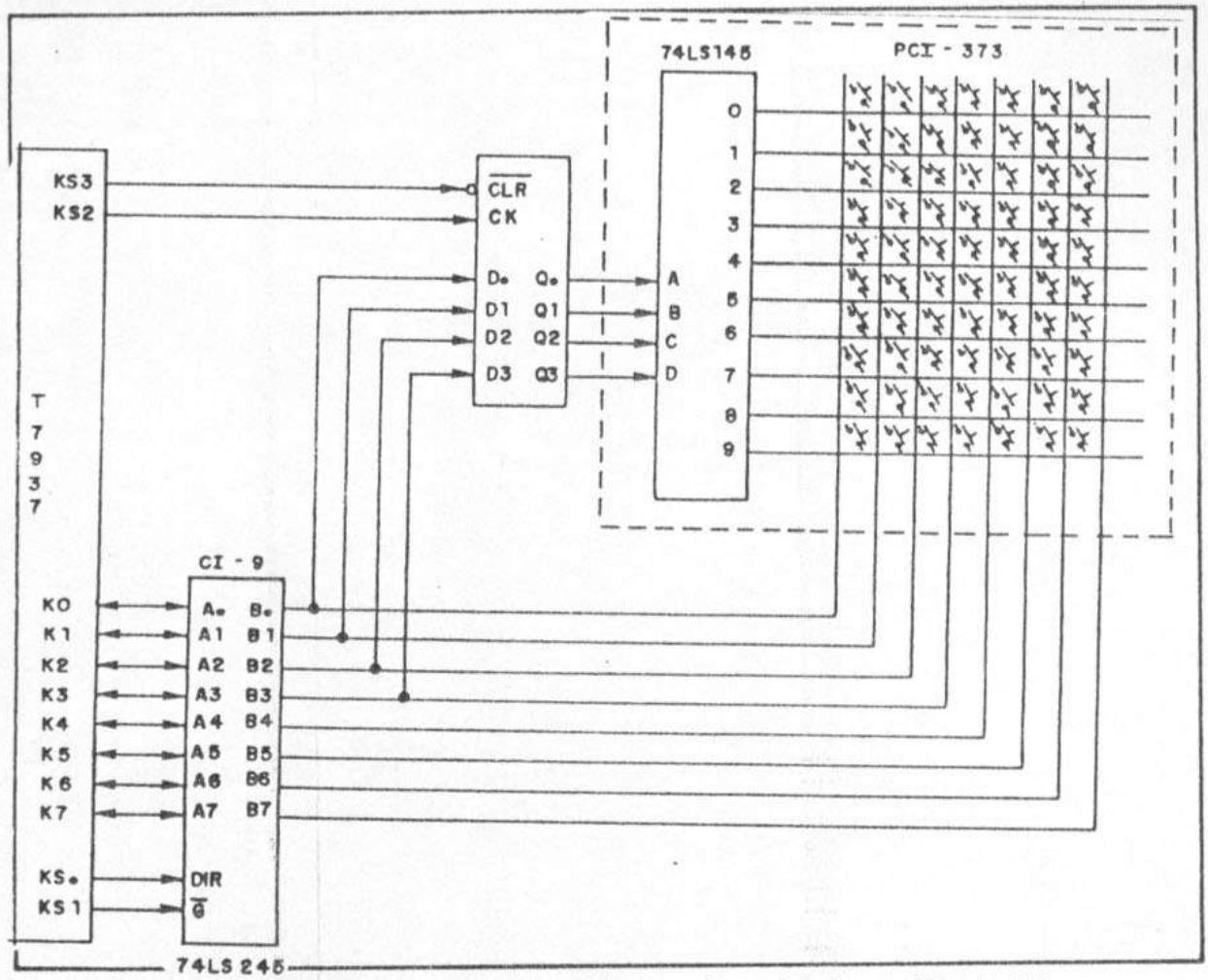
R1 a R12 são resistores de Pull-Up os quais garantem que, enquanto os joysticks conectados não forem manipulados, seja mantido nivel lógico "1" em todas linhas de entrada.

Quando a alavanca do joystick for manipulada ou um botão de tiro pressionado fará com que a respectiva linha vá para nivel lógico baixo, informando à CPU para executar uma das funções descritas na tabela, conforme o movimento realizado.

- TECLADO

O teclado é um dispositivo de entrada de dados ,que possui 80 teclas dispostas em forma de uma matriz de 10 linhas por 8 colunas e em cada interseção possui uma chave que, ao ser pressionada, fecha um curto entre linha e coluna.

Tanto a varredura como a identificação da tecla pressionada é feita via software.



Os quatro bits menos significativos das linhas K0 à K7 geram o código de varredura de linha da matriz do teclado. Este código é memorizado no CI-08, que é um chip composto por 4 flip-flops tipo D, este chip só libera estes dados ao receber o sinal de clock gerado pelo pino KS2.

A varredura é feita com os dados 0000 bin à 1010 bin. Chegando nesse último, o CI-08 recebe um sinal de clear gerado pelo pino KS1 do CI-01 zerando dessa forma todos os latches do chip.
A decodificação destes quatro bits para as dez linhas de matriciação do teclado é feita pelo CI-74LS145 que é um decodificador BCD (binário para decimal). Ao colocarmos um número binário em suas entradas, imediatamente um dos dez pinos correspondente ao decimal da entrada vai a nível zero.

A leitura das oito linhas é feita pelas portas K0 á K7, e cada pino de entrada corresponde a uma coluna que, combinada com os dados enviados aos latches, identifica a tecla pressionada. Todos os pinos estão ligados a um resistor de pull-up para garantir que, enquanto não houver tecla pressionada, todos os sinais estejam em nivel lógico "1".
O CI-09 é composto de 8 Buffers bidirecionais que tem a função de evitar sobrecarga no CI-1; este é habilitado pelo sinal KS1 e o controle de direção de acesso (DIR) é feito pelo KS0.

FONTES DE ALIMENTAÇÃO

- FONTE +12V (ESTABILIZADA)

Contida na placa analógica, a fonte de +12V recebe entre os pinos do conector CN1 uma tensão de 15 VAC, vinda do secundário do transformador de força.

Essa tensão é retificada pelos diodos D2 e D4 e filtrada pelo capacitor C1.

O transistor Q1 tem a função de chavear a fonte de +12V, sendo que o mesmo é comandado pelas chaves de proteção de entrada de cartuchos. Quando estas estão fechadas levam sua base à massa, via R2, levando o mesmo a condução e habilitando a fonte +12V, que tem sua saída via emissor do transistor Q2.

O transistor Q3 é um amplificador de erro que controla o nível de condução do transistor Q2 estabilizando dessa forma a tensão de +12V na saída.

O transistor Q4 junto com o zener DZ-2 estabilizam uma saída de 6VDC para alimentação do Datacorder.

- FONTE -12V (ESTABILIZADA)

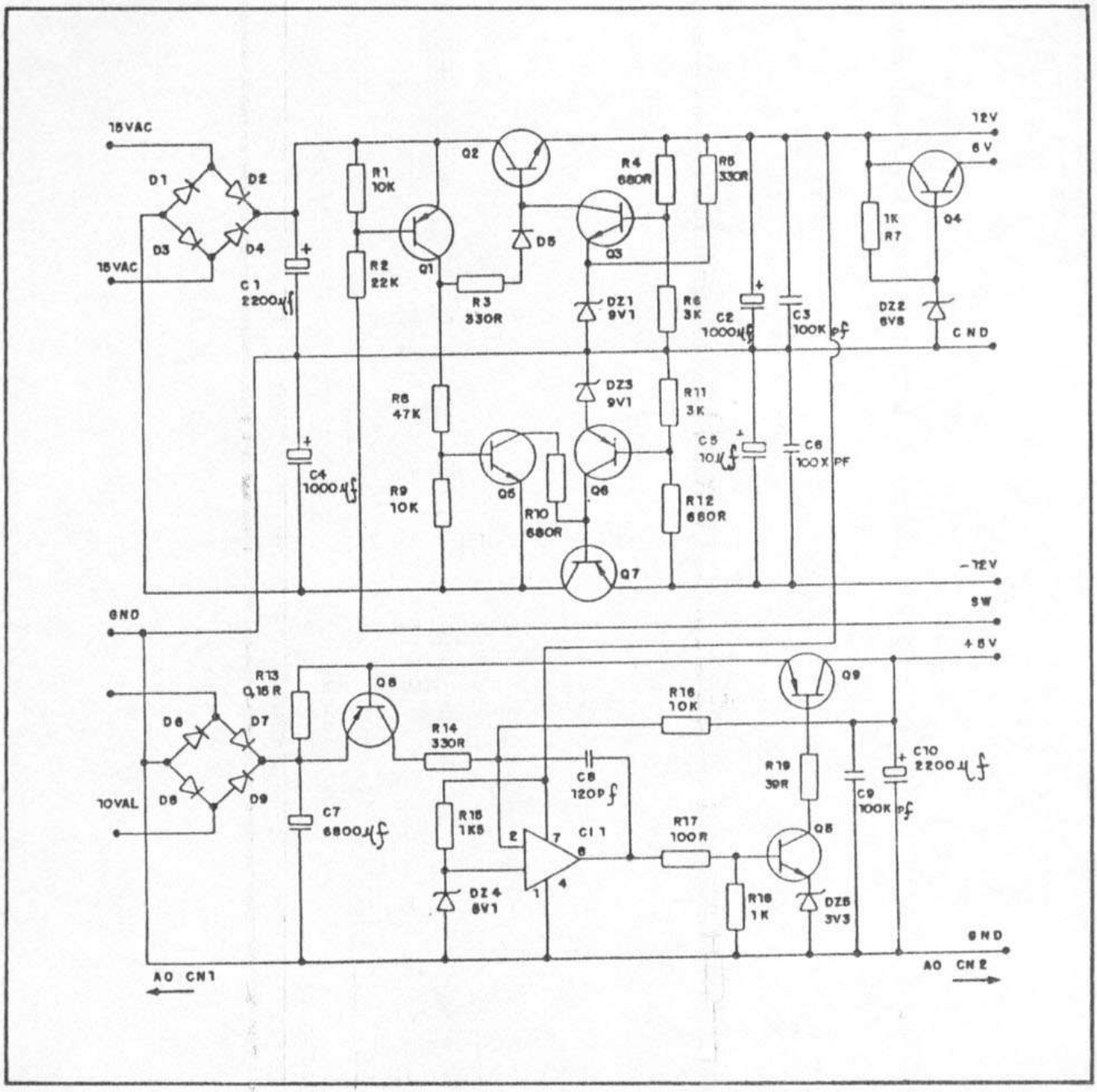
A fonte de -12V recebe uma tensão de 15VAC do secundário do transformador de força. Esta fonte da mesma forma que a fonte de +12V é habilitada pelo transistor Q1 que uma vez conduzindo satura o transistor Q5 o qual referencia a base do transistor Q7 a massa, saturando-o. Consequentemente teremos -12V no seu emissor.A função do transistor Q6 é de correção de erro da fonte de -12V.

- FONTE + 5V (ESTABILIZADA)

A fonte de +5V recebe entre os pinos 4 e 5 do conector CN1 uma tensão de 10V AC, vinda do secundário do transformador de força. A tensão de 10V AC é aplicada à ponte retificadora formada pelos diodos D6, D7, D8 e D9 e filtrada pelo capacitor C7.

O CI2 é um amplificador de erro, tendo em sua porta não inversora (pino 3) uma tensão estabilizada pelo DZ4 de +5,1V , em sua porta inversora recebe tensão proveniente da ponte retificadora, via Q8 e R14, indo ao pino 2 do CI-1.

O resistor R17 aplica na base do transistor Q10 a tensão de erro amplificada o qual compara a tensão da base com a do emissor que é estabilizada em 3,3V pelo diodo zener DZ5 e envia para a base do transistor Q9 (regulador) para corrigir a tensão de saida estabilizando em + 5V no conector CN2 pino 5.



- CHAVEAMENTO DE TENSÕES PELAS ENTRADAS DE CARTUCHOS

O pino 4 do conector CN2 (ligado a base do transistor Q1 através do resistor R2) tem por função o desligamento das três fontes básicas, durante a inserção de cartuchos, em um dos Slots frontais da CPU.

Esse pino 4 é mantido aterrado pelo circuito formado pelas MICROS-SWITCHS (Micro Chaves) das tampas de entrada de cartuchos (CARTRIDGE A e B) enquanto estas estiverem fechadas.

Com a abertura de uma das tampas o pino 4 é desligado da terra, despolarizando a base do Q1, cortando o Q5, que por sua vez interrompe a corrente de base do Q2 e Q7 respectivamente.

Havendo queda da tensão de +12V a tensão de referência da fonte de +5V (ZENER DZ4) cai, provocando a queda da saída regulada de +5V.

Após a inserção do cartucho as fontes são religadas através de um JUMPER existente entre os pinos 44 e 46 do pente de contato do PCI do cartucho, curto-circuitando o contato do MICRO-SWITCH que foi aberto pela ação da tampa de entrada de cartuchos.

- PROTEÇÃO CONTRA CURTO-CIRCUITO NA FONTE + 5

A fonte de + 5V contém ainda um circuito de proteção contra curto-circuito formado por: um Shunt de medição composto pelo resistor R13 de 0,15R, o transistor Q8 e o resistor R14. O limite de corrente se dá entre 1,8 e 2 A. O mecanismo de funcionamento é simples e bem conhecido.

Quando a corrente se aproxima do limite, a tensão desenvolvida sobre o Shunt começa a se aproximar da tensão de VBE necesária para ativação do transistor Q8 (por volta de 0,6V).

Com a ativação de Q8 a entrada inversora (pino2) do operacional (CI1) será levada, através de R14, a um nível de tensão muito próximo ao nível da entrada não inversora (pino 3).

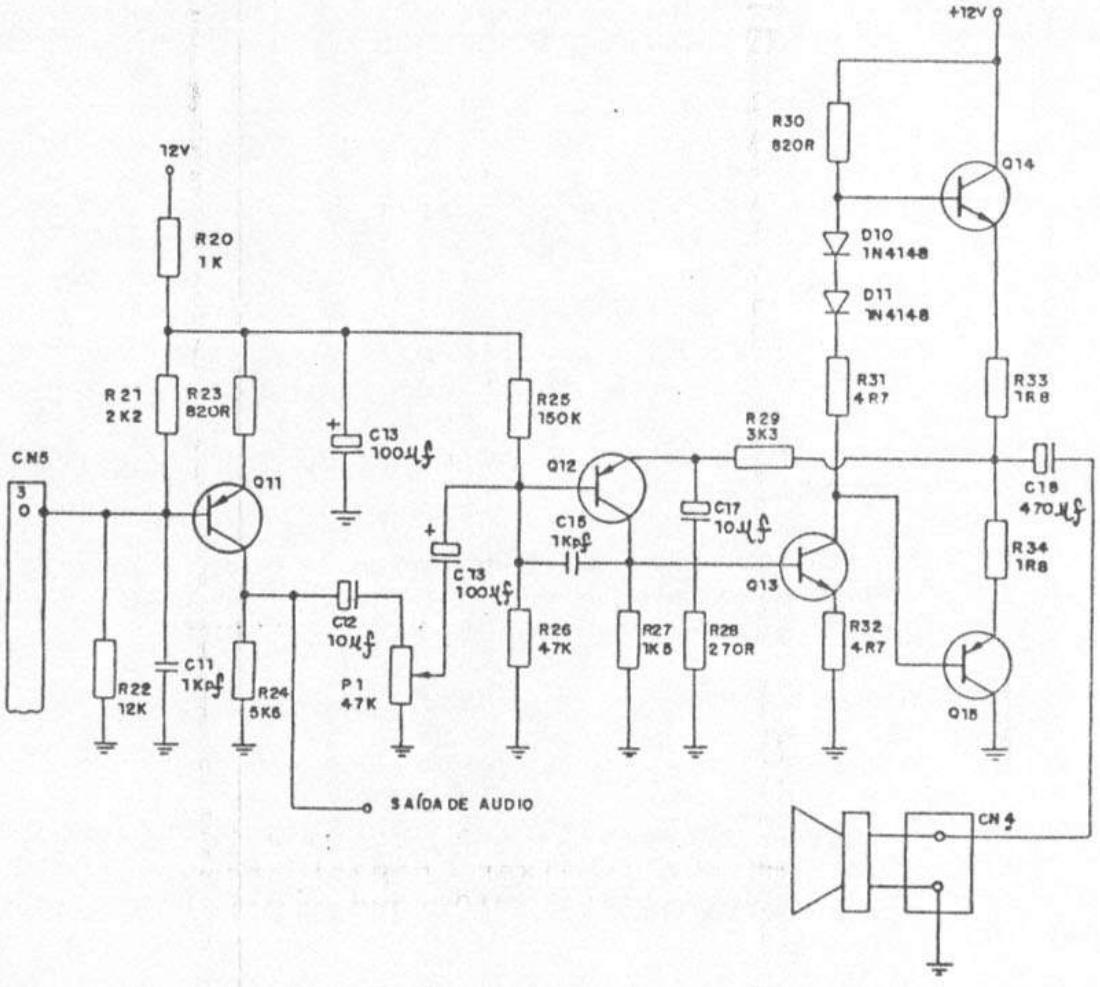
A diminuição da tensão diferencial na entrada faz a tensão de saída do operacional (pino 6) baixar negativamente, limitando a corrente de coletor do transistor Q10, que controla a condução do transistor Q9.

A função do diodo zener DZ5 é manter a tensão no emissor do transistor Q10 a um nivel que garanta o controle da corrente de base do mesmo ,ja que a saida do operacional (CI-1) não consigue descer a um nivel inferior a 1V, impossibilitando o corte do transistor Q4.

A fonte de + 5V é protegida contra curtos momentâneos, e não por tempo indefinido.

CIRCUITO DE AUDIO

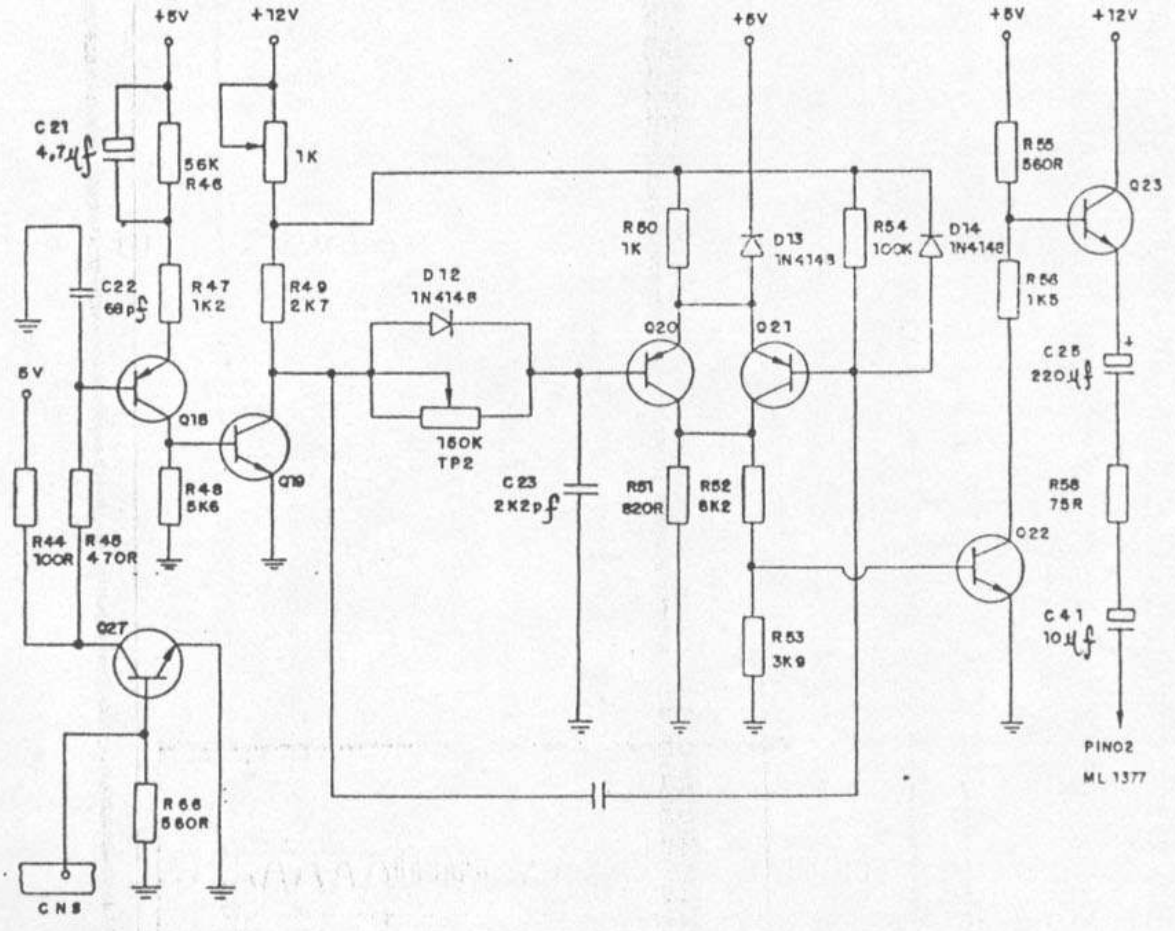
O sinal de audio vindo da CPU atinge pino 5 do conector CN-5, que entrega o sinal para a base do transistor Q-11 (pré amplificador).



Do coletor do Q11 o sinal de audio pré-amplificado é enviado para o conector CN7 pino 8, via P1 (controle de volume externo) o sinal é aplicado ao amplificador de potência "Push-Pull" formado pelos transistores: Q12, Q13, Q14, Q15 e via Q18 é aplicado ao conector CN4 sendo interligado ao alto falante.

- SINCRONISMO (SYNC-OUT)

A partir do mesmo sinal "Y" fornecido pelo "CI T7937", pino 35, é produzido por este circuito ceifador de sincronismo o sinal de sincronismo composto (vertical e horizontal numa só saida).
O sinal de "SYNC" é utilizado em monitores do tipo "RGB" e também em codificadores do sistema "NTSC/PAL-M".



O sinal de luminância, vindo da CPU atinge a base do transistor Q27 e via resistor R45, atinge o transistor Q19.

O capacitor C21 e os resistores R46 e R47 permitem ao transistor Q18 o ponto de polarização para que este transistor separe apenas os pulsos de sincronismo do sinal de luminância que estão localizados a 75% do nível total do sinal de luminância.
Em seguida esses pulsos "ceifados" pelo transistor Q18 são dirigidos para o transistor Q19 para a devida amplificação.

A seguir estes pulsos são integrados pelo circuito formado pelo trimpot TP2 e o capacitor C23 e diferenciados po C24 e R54.

O trimpot TP2 regula a largura do pulso vertical.

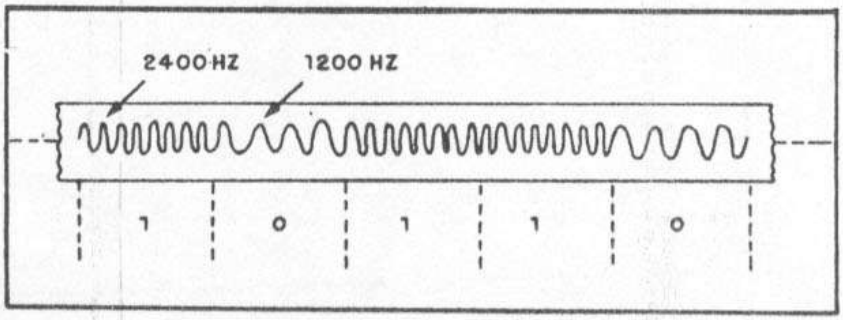
Os transistores Q20, Q21 e Q22 são responsáveis pela atuação de ondas quadradas e de larguras definidas para o pulso de sincronismo.

Esses pulsos são entregues ao transistor Q23 (amplificador de corrente) e através do capacitor C25 os pulsos de sincronismo são entregues ao pino 2 do CI-MC1377.

Os sinais R G B vindos dos pinos 37,39,e 41 do IC-T7937, atingem os pinos 3,4 e 5 do CI-MC1377 . Esses sinais são processados internamente e transformados em sinal de vídeo composto, que tem saída pelo pino 9 do CI-MC1377.

- ARMAZENAMENTO DO DADOS EM FITA CASSETE

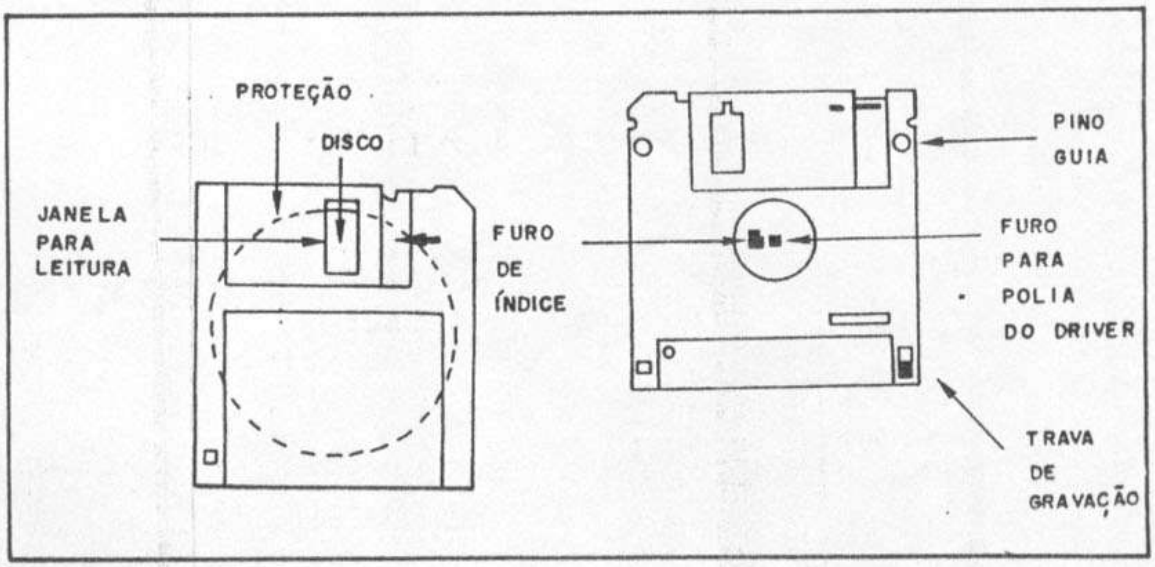
Sem dúvida a fita cassete é o dispositivo de armazenamento de dados mais popular aos usuários de microcomputadores, principalmente para o armazenamento de grande quantidade de dados. Uma fita cassete pode armazenar cerca de 100K bytes.
Para o armazenamento de dados os pulsos digitais são transformados em sinais de audio. Os níveis lógicos "1" são transformados em ciclos de 2400 HZ e os níveis lógicos "0" em ciclos de 1200 HZ como ilustra a figura abaixo:



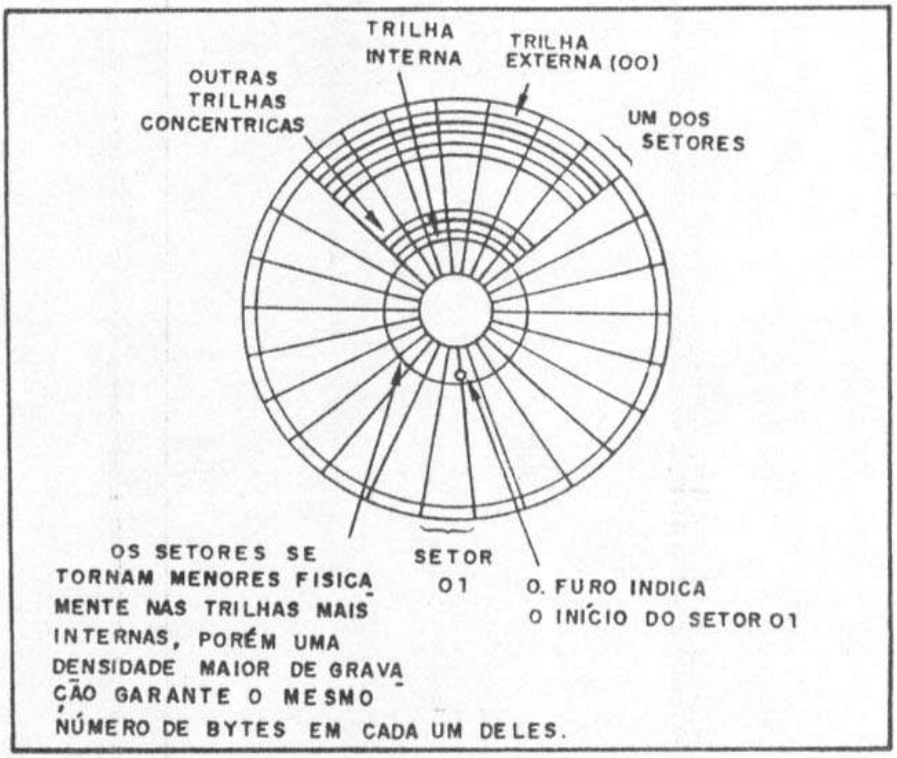
Na linha Plus toda a modulação (digital/analógica e analógica/digital) é feita pelo chip T7937, tendo três pinos a serem analizados:
- CMT W - sinal de saída para cassete.
- CMT R - sinal de entrada do cassete.
- CMT ON - controle do motor cassete (nível lógico "1" ligado)

ARMAZENAMENTO DE DADOS EM DISCOS FLEXIVEIS.

A fita magnética oferece um custo menor que outros tipos de armazenamento, porém, é um sistema lento e possui uma baixa confiabilidade além de uma outra grande desvantagem que é o fato do acesso das informações gravadas na fita ser feito sequencialmente fazendo o manuseio das mesmas ser muito demorado.
Um dispositivo de armazenamento de dados que supera as vantagens da fita, com um acrescimo de custo, é o disco flexivel conhecido ainda como Floppy disck, ou ainda Diskette.
O disco flexivel é um dispositivo fabricado com um material idêntico aos que são feitas as fitas cassete em forma de um disco de audio e são encontrados em quatro dimensões básicas, que são: 8", 5 ¼", 3 ½" e 3".
O EXPERT DD-PLUS possui incorporado em seu painel frontal um acionador de disco (drive) de 3 ½" dupla face que tem a capacidade de armazenar 720K bytes.
O drive é um dispositivo eletro-mecânico cuja função é ler e escrever dados nos discos flexiveis. Isso é feito de maneira semelhante a um gravador cassete, com a diferença básica de que os sinais são gravados de forma digital.
Pelo fato de ser flexível o diskette possui uma capa plástica para proteção.
A figura abaixo ilustra o disquete de 3 ½" utilizado no DD-PLUS.



Esse disckette possui um proteção metálica sobre a janela de leitura como mostra a figura anterior, evitando o contato manual acidental, bem como a incidência de poeira.
A trava de gravação é uma proteção contra gravações indesejáveis, semelhante a proteção utilizada em fita cassete.



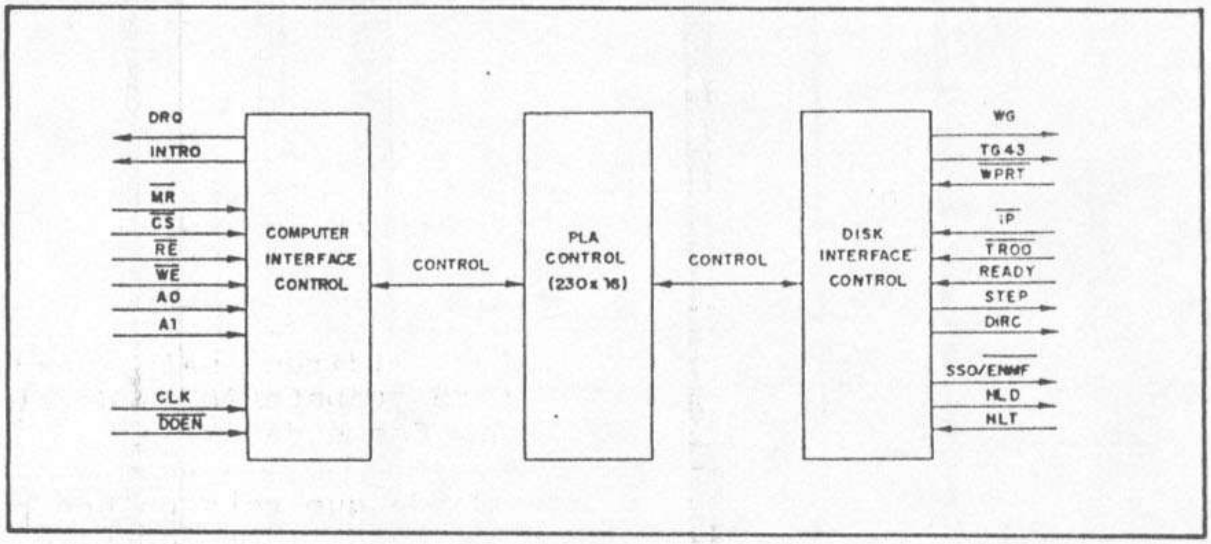
No furo de indice do disquete de 3 ½" é acoplado um pino mecânico cuja função é informar a posição de referência. Ele indica qual é o setor 0 além de efetuar um controle de rotação do disco.

- INTERFACE CONTROLADORA DE DISCO

A interface controladora de disco é um dispositivo de entrada e saida (I/O) mapeado em memória, isto é, todas as operações por ele realizado são feitas como se estivessemos trabalhando com um CI de memória. É ela que envia todos os sinais necessários para o cotrole e operação do DRIVE.

- CIRCUITO INTEGRADO TMS2793

Este circuito integrado é quem faz, basicamente, todo o interfaceamento CPU/DRIVE. Ele tem como função transformar todos os dados paralelos em seriais e vice versa (conforme a operação, ou seja, se é de escrita ou de leitura do disco) e gerar todos os sinais de controle, tanto para a escrita como para a leitura de informações no disco.
Na figura abaixo temos um diagrama interno basico deste CI.



DESCRIÇÃO DE PINAGEM DO CI-TMS 2793

NOME	Nº	ENTR/SAiDA	FUNÇÃO
EMP	1	E	ativo em nivel lógico 1 este pino habilita a interface a trabalhar em dupla densidade
$\overline{WE}$	2	E	este pino habilita a via de dados como entrada
$\overline{CS}$	3	E	(chip select) Habilita o funcionamento da interface.
$\overline{RE}$	4	E	habilita a via de dados como saida

NOME	Nº	ENTR/SAíDA	FUNÇÃO
A1,A0	5,6	E	essas entradas selecionam o tipo de registrador para recebimento ou transferência de dados junto com os controles WE e RE:
DA0–DA7	7–14	E/S	oito vias bidirecionais usadas usadas para transferência de status instruções e dados
STEP	15	S	pino de saída que gera pulsos para o motor de passo de controle da cabeça
DIRC	16	S	pino de controle de direção da cabeça (atua junto ao pino STEP). Em nível lógico 1 orienta a cabeça para dentro e em zero para fora do disco
$\overline{5}/8$	17	E	seleciona a frequência de operação em nível lógico 0 seleciona o VCO para atuar em drives de 5 ¼" e 3 ½
RPW	18	E	junto a um trimpot externo controla a largura de separação de dados
MR	19	E	entrada de RESET da interface
VSS	20		TERRA (0V)
VCC	21		ALIMENTAÇÃO 5V
$\overline{TEST}$	22	E	Quando ativo em nível lógico 0 este pino permite que seja efetuado os ajustes externos

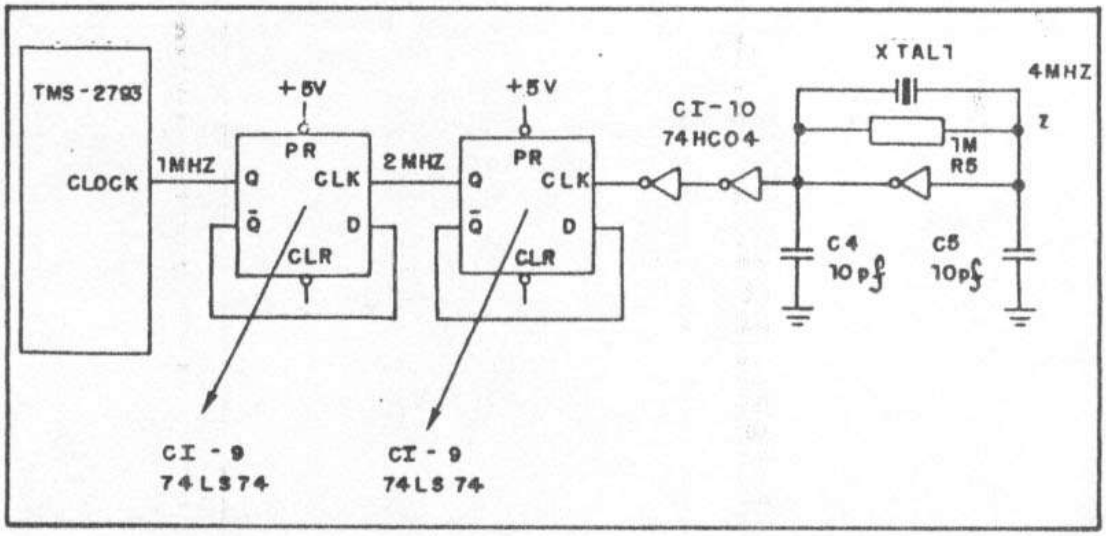
CS	A1	A0	RE	WE
0	0	0	STATUS REG.	COMAND REG.
0	0	1	TRILHA REG	TRILHA REG
0	1	0	SETOR REG	SETOR REG
0	1	1	DATA REG	DATA REG

NOME	Nº	ENTR/SAíDA	FUNÇÃO
PUMP	23	S	saida de alta impedância cuja é acoplada um circuito externo para integração dos pulsos de VCO.
CLK	24	E	sinal de clock 1MHz
$\overline{\text{ENMF}}$	25	E	em nivel lógico 1 seleciona a entrada de clock para 1 MHz
VCO	26		um trimer externo ajusta o VCO (oscilador controlado por tensão) em sua frequência central
$\overline{\text{RAW READ}}$	27	E	entrada de dados provenientes do drive .
TG43	29	S	essa saida informa o drive se esta sendo efetuada operação de escrita ou leitura
WG	30	S	ativo em nivel lógico 1 habilita o drive para efetuar uma operação de escrita
WD	31	S	saida de dados a serem gravados no disco
WPW	33	E	junto a um trimpot externo permite o ajuste da largura dos pulsos de escrita
$\overline{\text{TR00}}$	34	E	pino de entrada que indica à interface quando a cabeça esta sobre a trilha "0"
$\overline{\text{IP}}$	35	E	pino de entrada que recebe o pulso de INDEX do drive para sincronismo e controle de rotação.
$\overline{\text{WPRT}}$	36	E	pino de entrada que ao receber um pulso "0" seta o bit de status de proteção de escrita impedindo dessa forma a gravação de dados no disco
$\overline{\text{DDEN}}$	37	E	pino de entrada que em nivel lógico "0" habilita o drive a trabalhar em dupla densidade

NOME	Nº	ENTR/SAíDA	FUNçÃO
DRQ	38	S	essa saída indica à CPU que existe um dado a ser lido na via de dados
INTRQ	39	S	essa saída indica à CPU que existe uma instrução a ser lida na via de dados

- CLOCK

A interface controladora de disco possui um clock independente, gerado pelo XTAL-1 de 4MHz. Através do CI-10 o sinal é compatibizado a nível TTL através de suas 3 portas inversoras. Este sinal é dividido por quatro pelo circuito divisor formado pelos dois Flip-flops tipo "D" contidos no CI-09. O resultado dessa divisão é uma frequência de 1MHz a qual é enviada ao pino 24 do IC-1 (TMS2793).



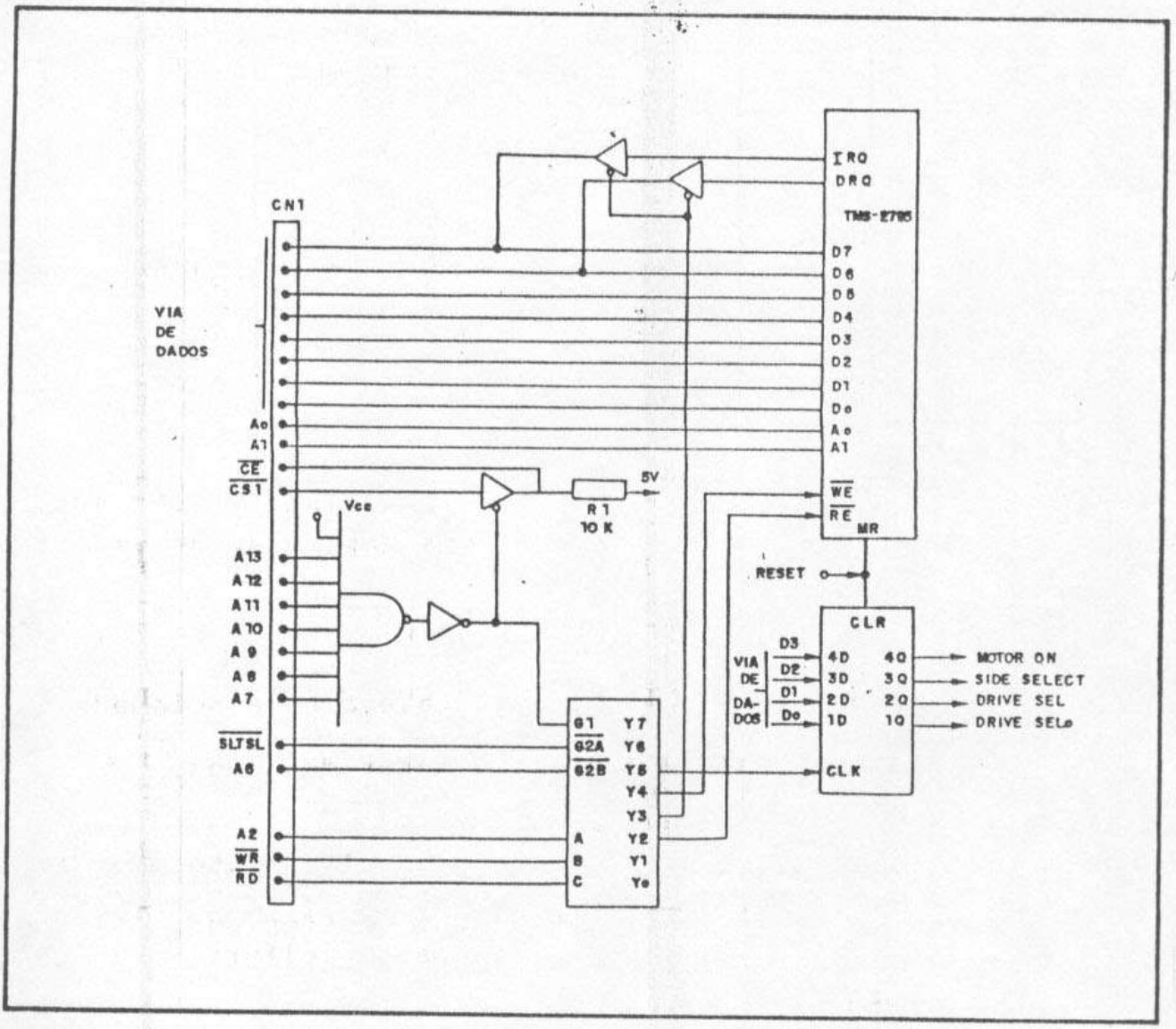
- RESET

Quando acionamos o circuito de RESET da CPU do DD-PLUS o mesmo sinal é aproveitado para resetar a interface controladora de drive.

Esse sinal tem como entrada o pino 8 do conector CN-1 que ativa os pinos MR (pino 19) do CI-2793 e o pino CLR (pino 1) do CI-4.0 Reset tem como função zerar todos os registradores internos (resetar) da interface, bem comoativar o clear do latch de memorização (74LS175) limpando assim suas saídas.

- HABILITAÇÃO DA INTERFACE

A habilitação da interface é feita a partir do endereço 7FB8 Hex, isto é, a partir desse endereço temos as linhas de A7 à A15 em nível lógico 1 que desta forma habilitam o CI-3 que é um demux 74LS138. Isto é:



HEXADECIMAL	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
7FB8	0	1	1	1	1	1	1	1	1	0	1	1	1	0	0	0
7FB9	0	1	1	1	1	1	1	1	1	0	1	1	1	0	0	1
7FBA	0	1	1	1	1	1	1	1	1	0	1	1	1	0	1	0
7FBB	0	1	1	1	1	1	1	1	1	0	1	1	1	0	1	1
7FBC	0	1	1	1	1	1	1	1	1	0	1	1	1	1	0	0

ENDEREÇO	FUNÇÃO
7F B8 HEX	Habilitação de interface
7F B9 HEX	Controle do registrador de trilha
7F BA HEX	Controle do registrador de setor
7F BB HEX	Habilita o bus de dados como entrada de dados
7F BC HEX	Habilita a escrita no latch 74LS175

Os quatro bits menos significativos da linha de dados são conectados no latch de memorização CI-04. Esses quatro bits controlam:

LINHA	FUNÇÃO
D0	Drive select, habilita o mecanismo do drive de trabalho, a executar uma operação de escrita ou leitura (habilitação).
D1	Drive select, seleciona drive B.
D2	Side select, seleciona qual cabeça será acionada.
D3	Motor ON" liga ou desliga o motor de track.

Quando estamos operando fora dos endereços citados teremos 1 no pino 8 do CI-2 que é negado pelo inversor do CI -5 e teremos 0 no pino 4 deste mesmo CI habilitando o buffer do CI-7 que habilita, se necessario, a EPROM CI-12 para leitura dos dados desta.

AJUSTE DA INTERFACE

- AJUSTE DE PRECOMPENSAÇÃO DE ESCRITA

1- Com o micro desligado desconecte o drive da interface.
2- Ligue o micro com o STRAP do CN-3 na posição de 2-3 (posição normal de uso)
3- Pressione a chave de RESET do micro.
4- Passe o STRAP para a posição 1-2 (nessa posiçao o pino TEST é ativado).
4- Observe com um ociloscópio o sinal WD (pino 31) e ajuste no trimpot TP-2 em 0,3µs.

- AJUSTE DO SEPARADOR DE DADOS

1- Siga os quatro primeiros passos do ajuste anterior
2- Observe a duração do pulso no pino TG43 (pino 29) e ajuste o trimpot TP-1 em 0,5µs.
3- Observe a frequência no pino DIRC (pino 16)
4- Ajuste o trimer C-2 para uma frequência de 250KHz.
5- Passe o STRAP do CN-3 para a posição 2-3 novamente (posição de uso normal.